



IHEP高频低电平系统简况

王群要

中科院高能所

2018年3月27日



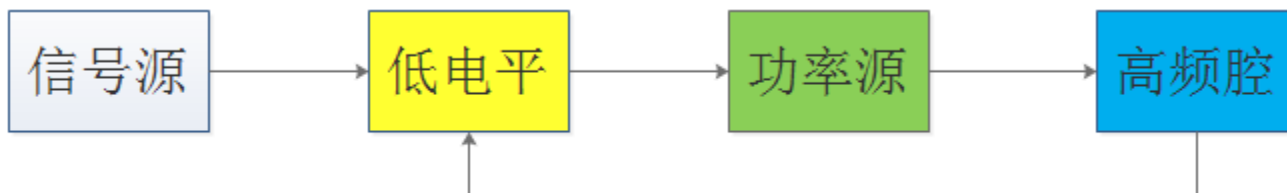
主要内容

- 一. 高频低电平系统简介
- 二. IHEP高频低电平发展
- 三. HEPS-TF高频低电平系统
- 四. HEPS高频低电平系统展望

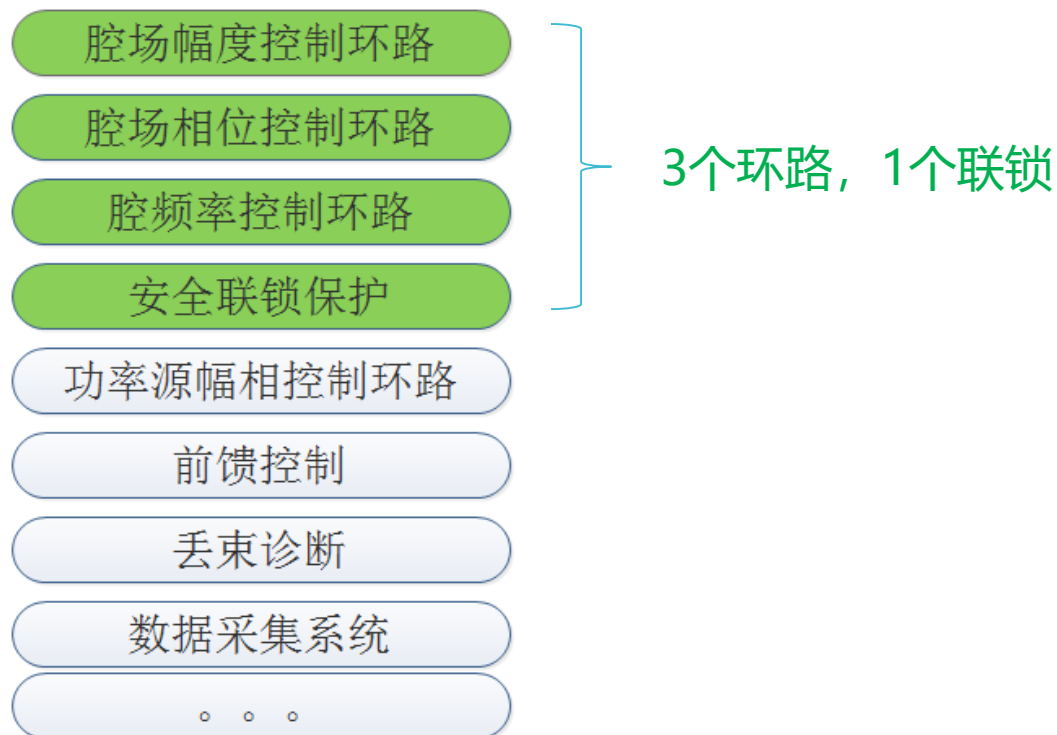


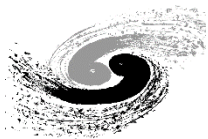
一、高频低电平系统简介

高频系统主要设备：低电平、功率源及高频腔3个部分。

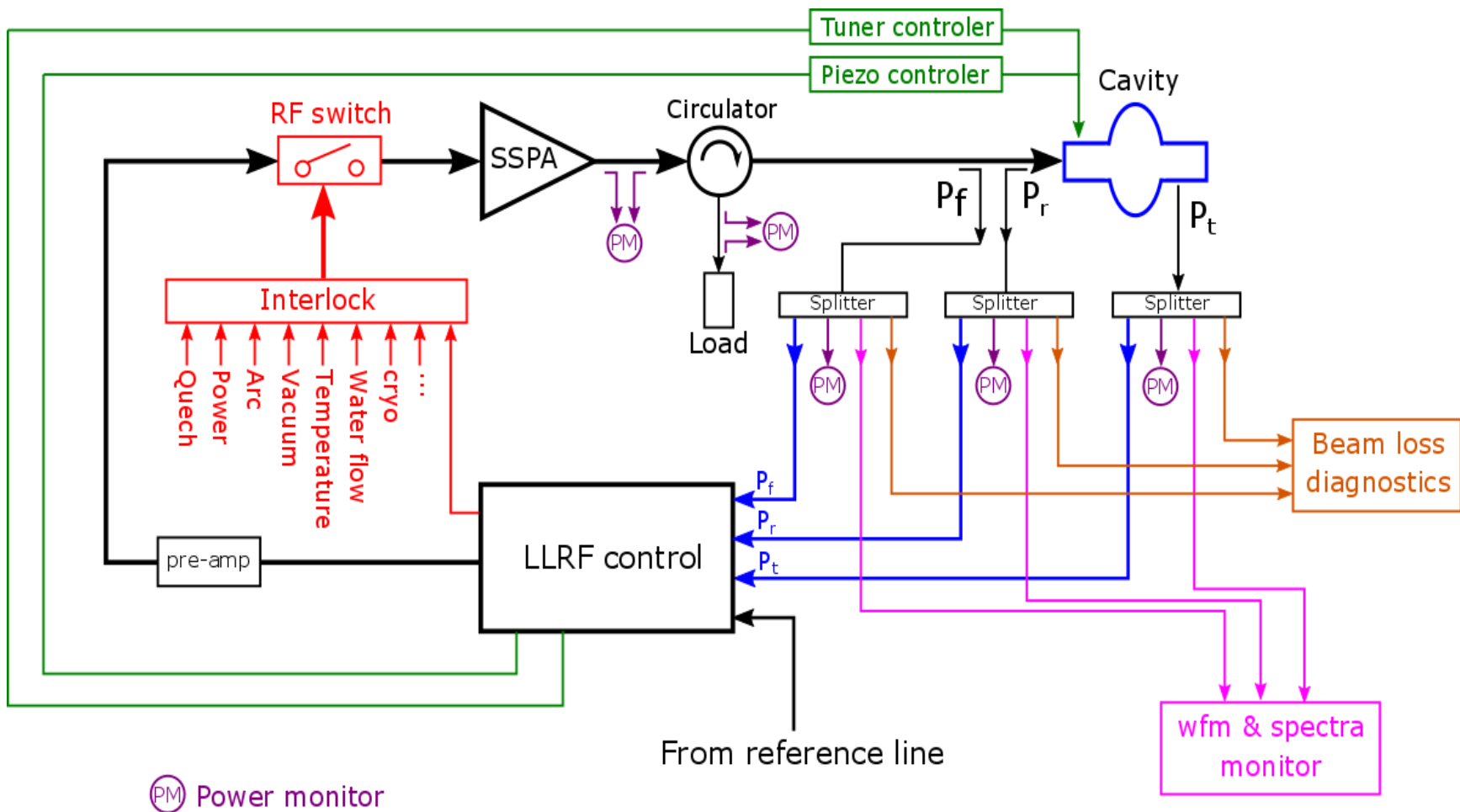


低电平主要功能：



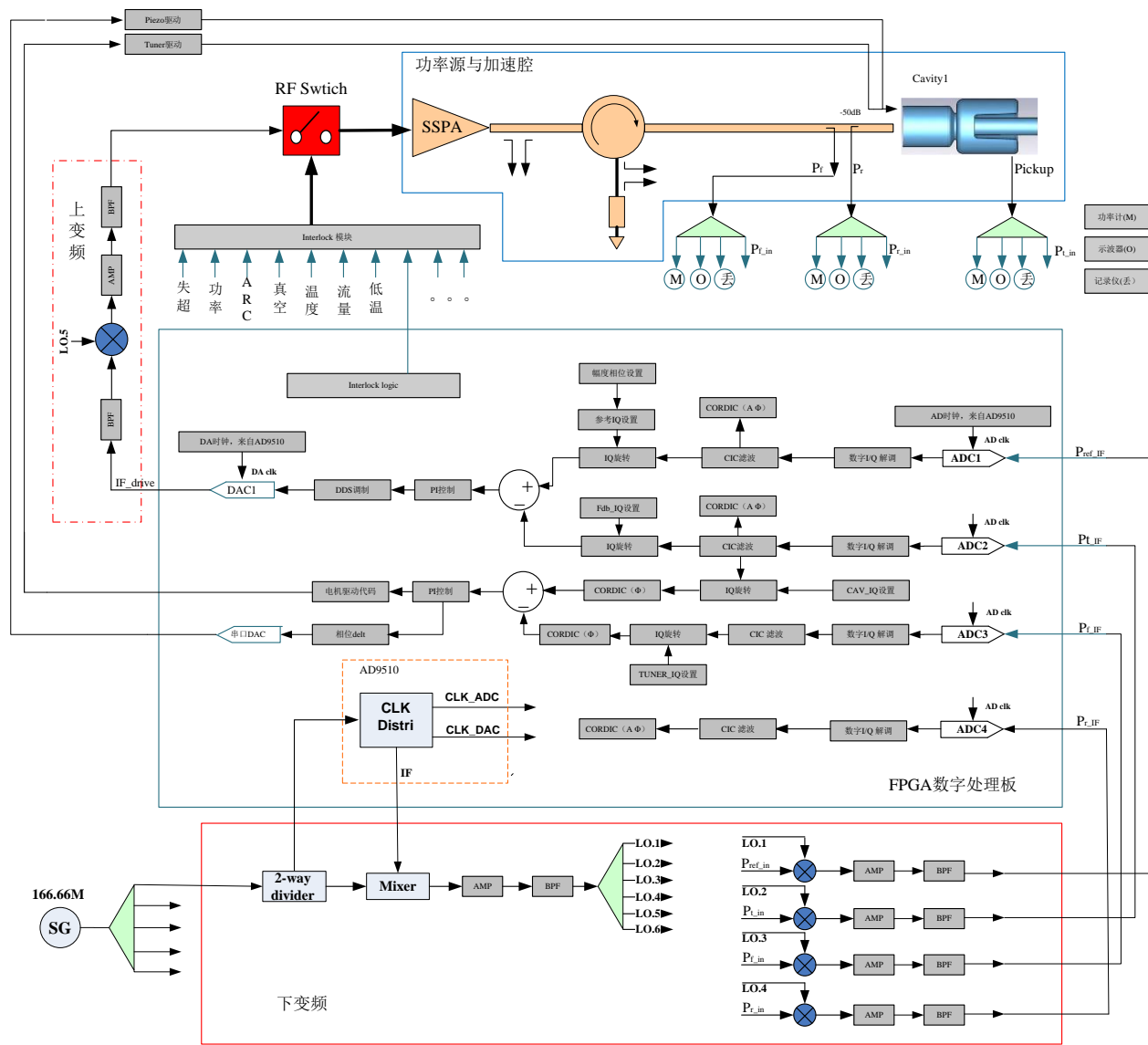


典型高频系统框架图





典型低电平控制框架图



功率计(M)
示波器(O)
记录仪(S)



二、IHEP高频低电平系统

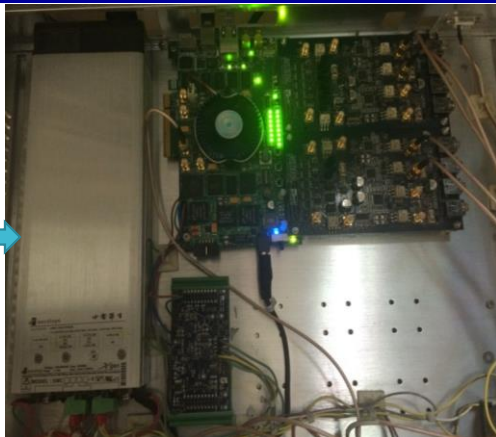
- BEPCII高频低电平 (500MHz)
 - 模拟低电平
 - 数字低电平
- ADS 低电平系统 (325MHz)
 - 专用型数字低电平
- HEPS-TF数字低电平 (166.6MHz)
 - 2代基于网口通信的数字低电平
 - 3代CPCI总线数字低电平



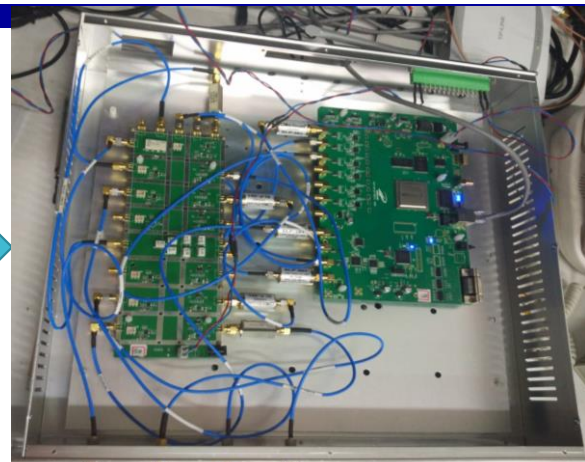
IHEP 高频低电平系统发展



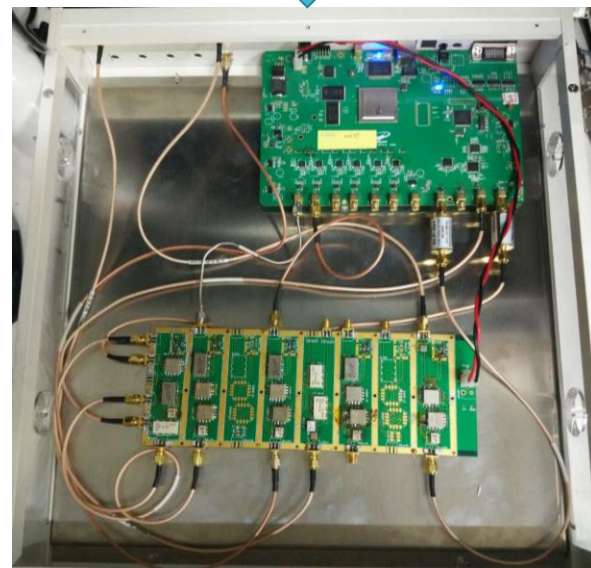
500MHz模拟低电平



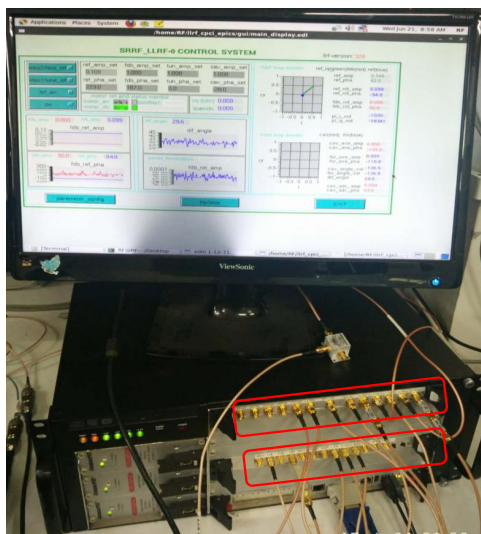
1代开发板500MHz DLLRF



2代325MHz DLLRF



2代166.6MHz DLLRF

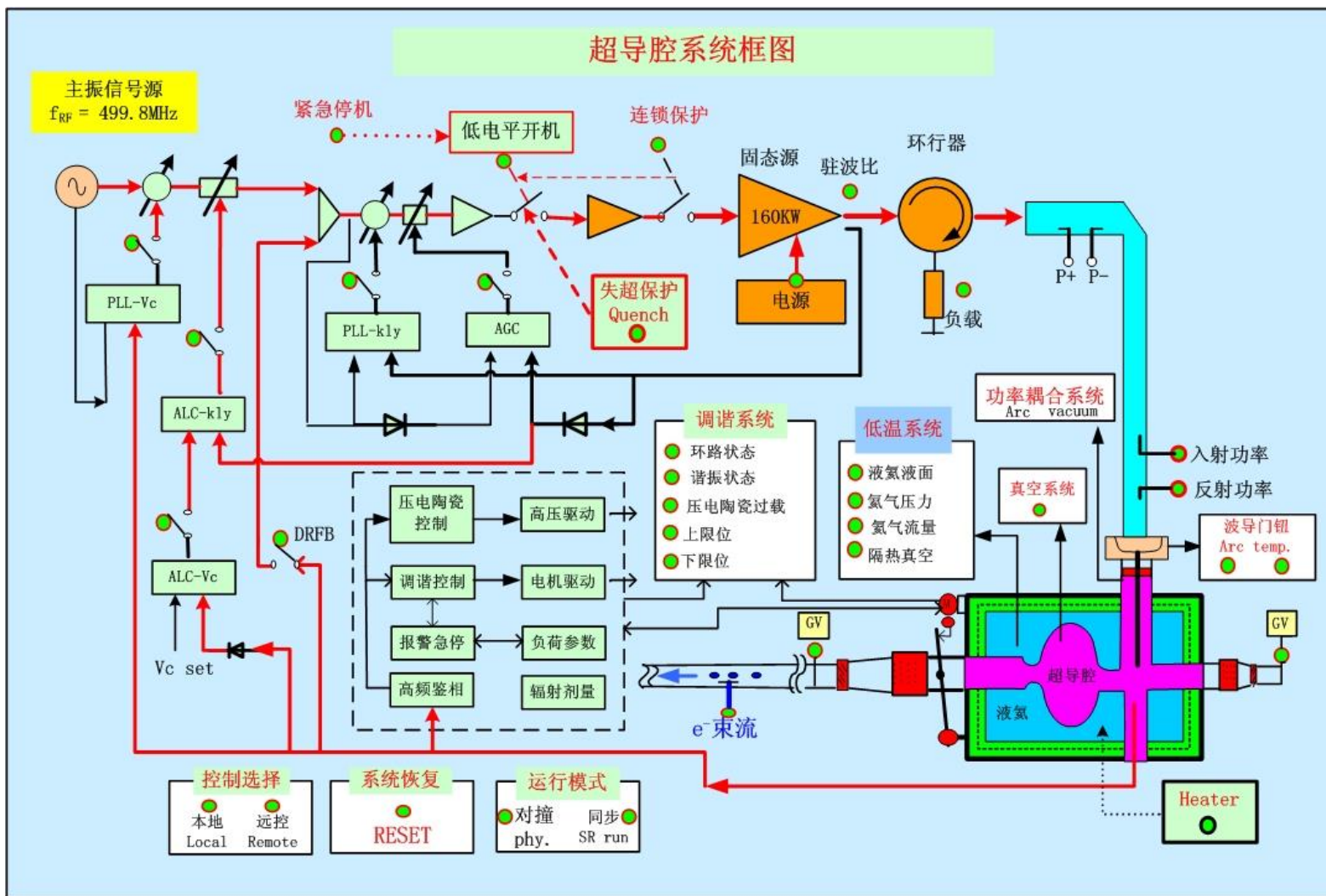


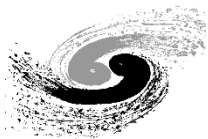
3代CPCI 166MHzDLLRF

HEPS高频
低电平系统

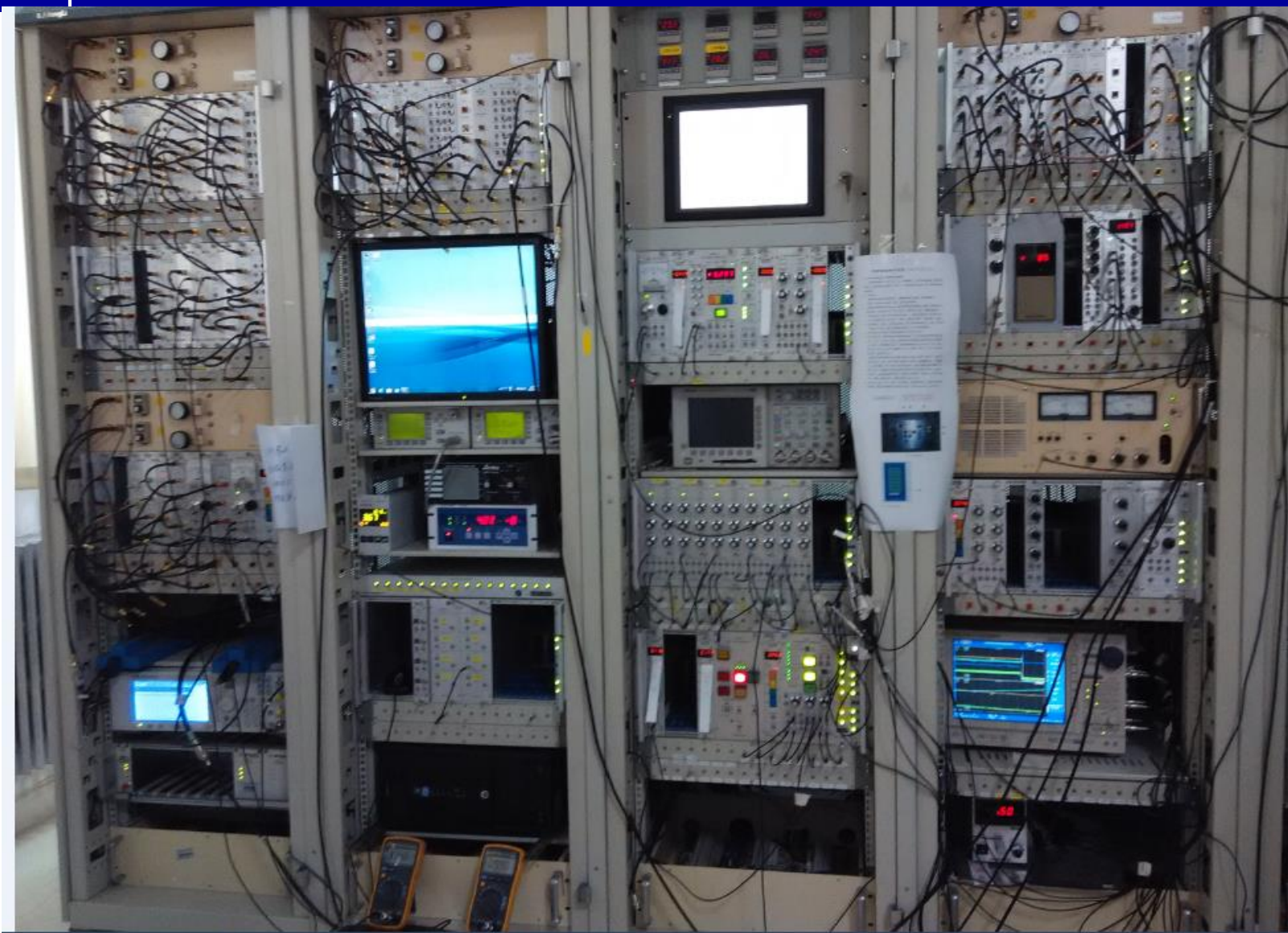


BEPCII 500MHz高频低电平系统



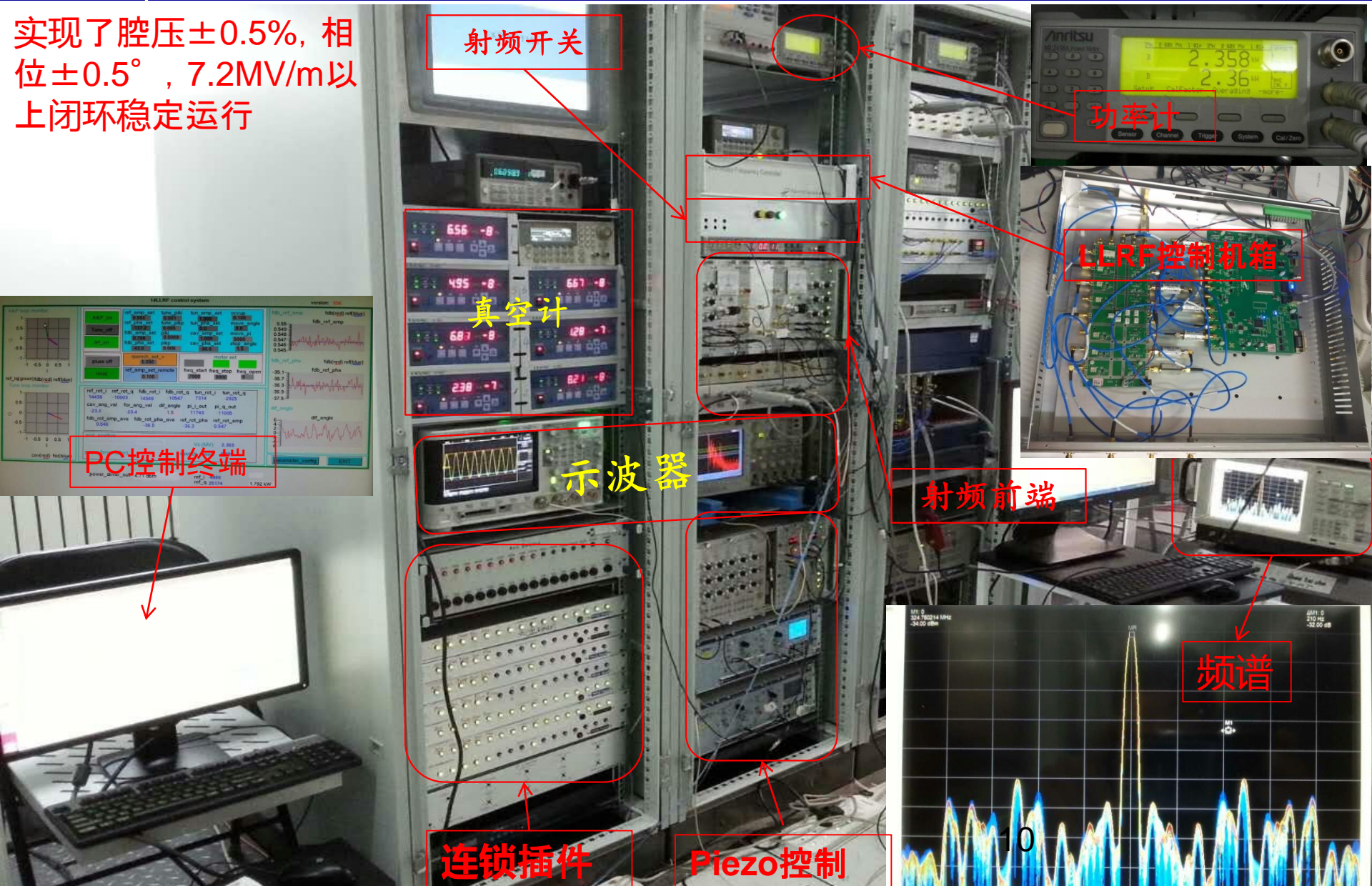


500MHz模拟低电平机柜



ADS CM1-7#超导腔数字低电平

实现了腔压 $\pm 0.5\%$ ，相位 $\pm 0.5^\circ$ ，7.2MV/m以上闭环稳定运行



射频开关

功率计

LLRF控制机箱

真空计

PC控制终端

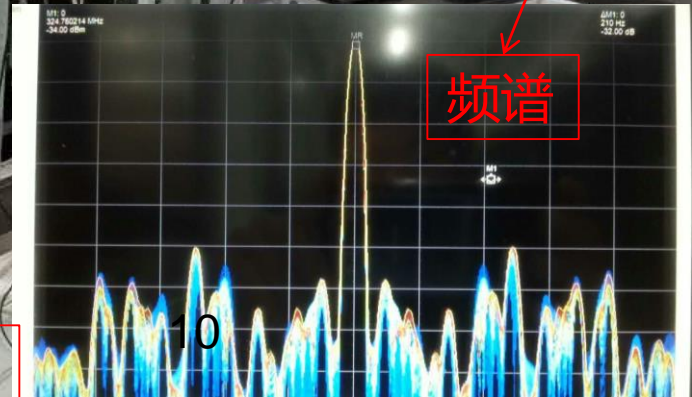
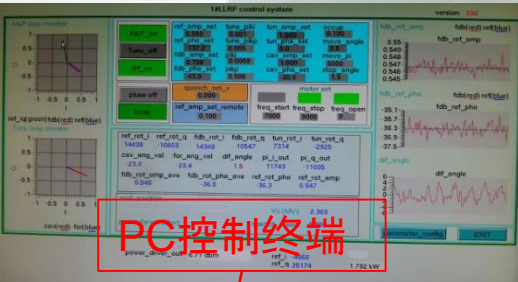
示波器

射频前端

频谱

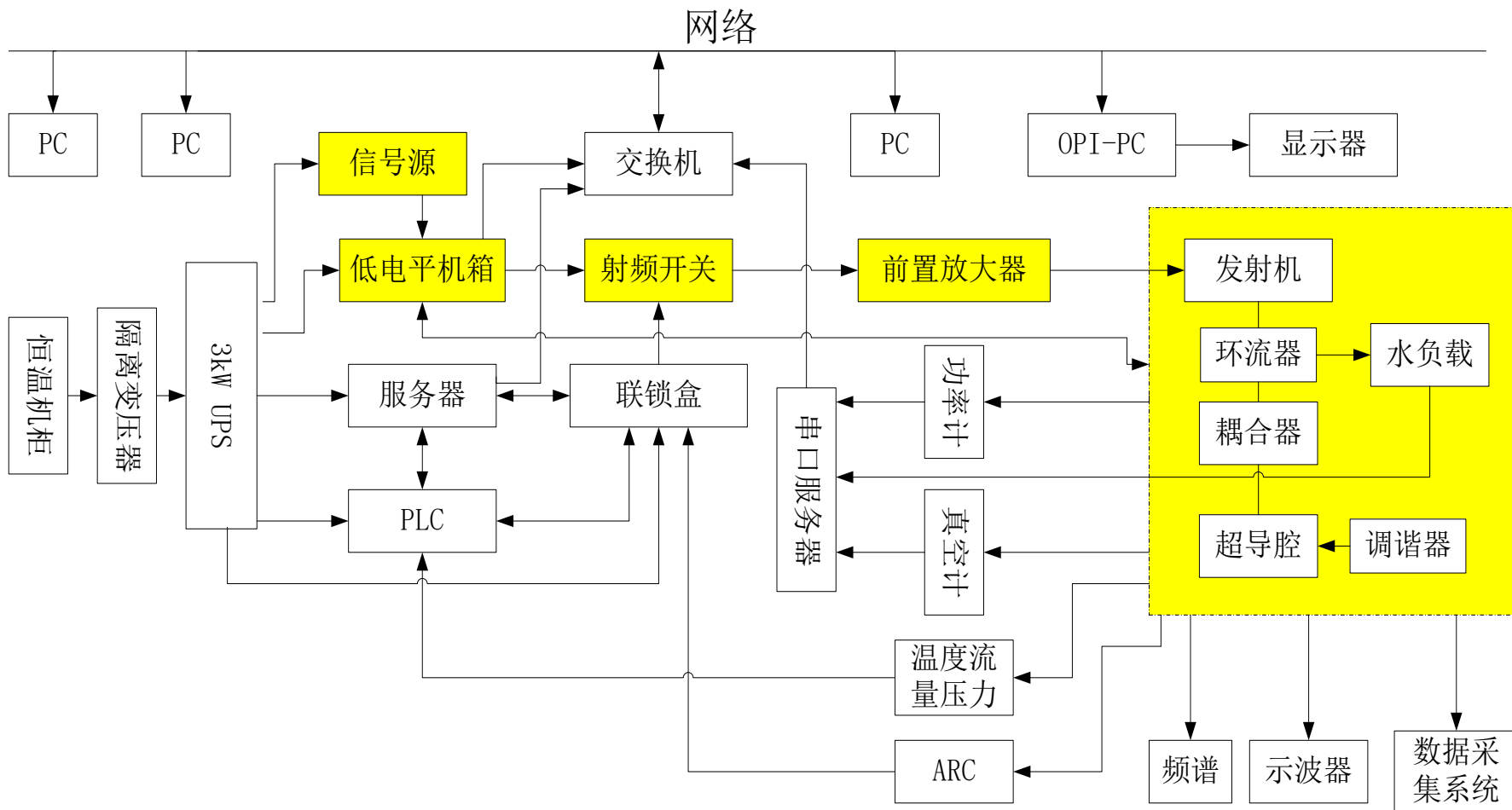
连锁插件

Piezo控制

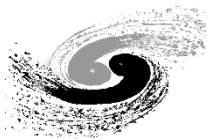




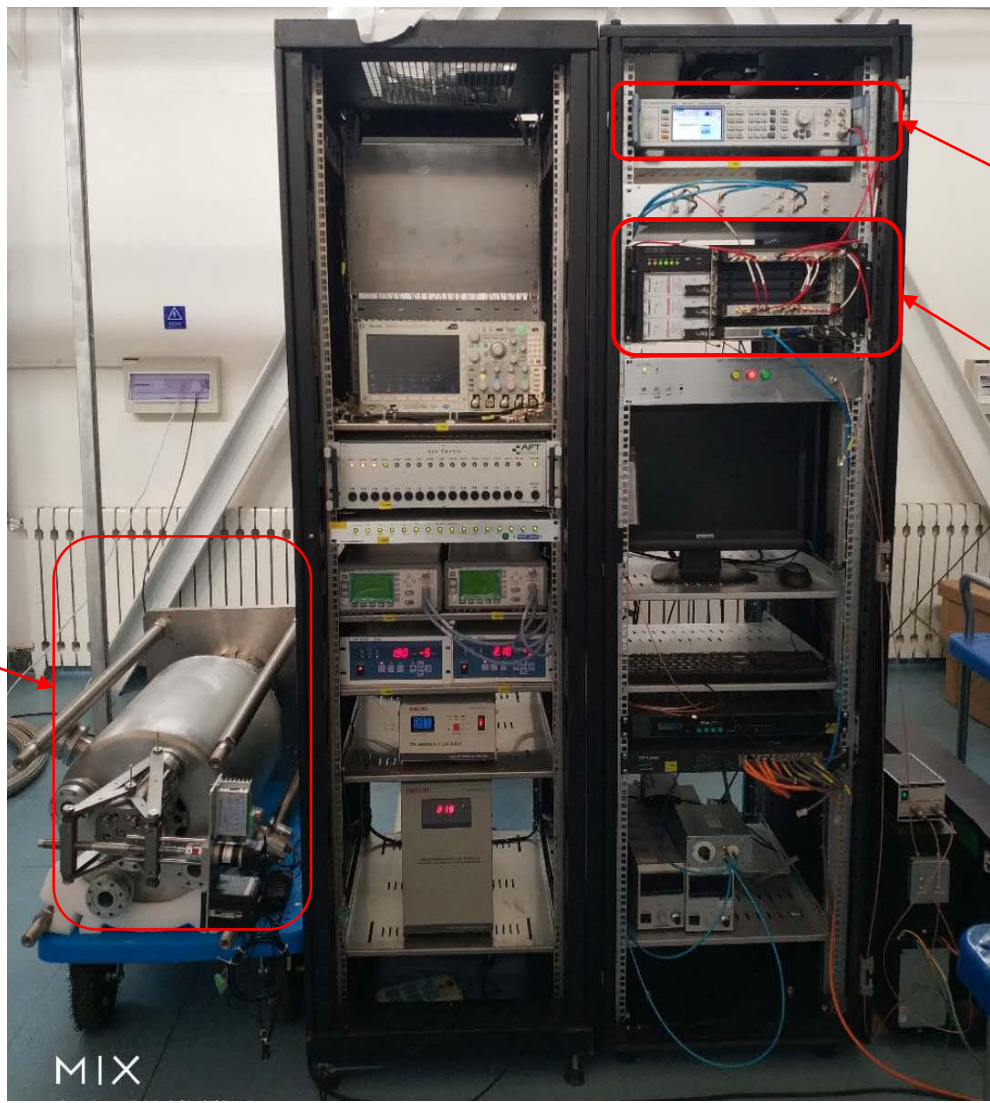
三、HEPS-TF高频低电平系统



高频系统硬件连接示意框图



HEPS-TF高频低电平控制机柜



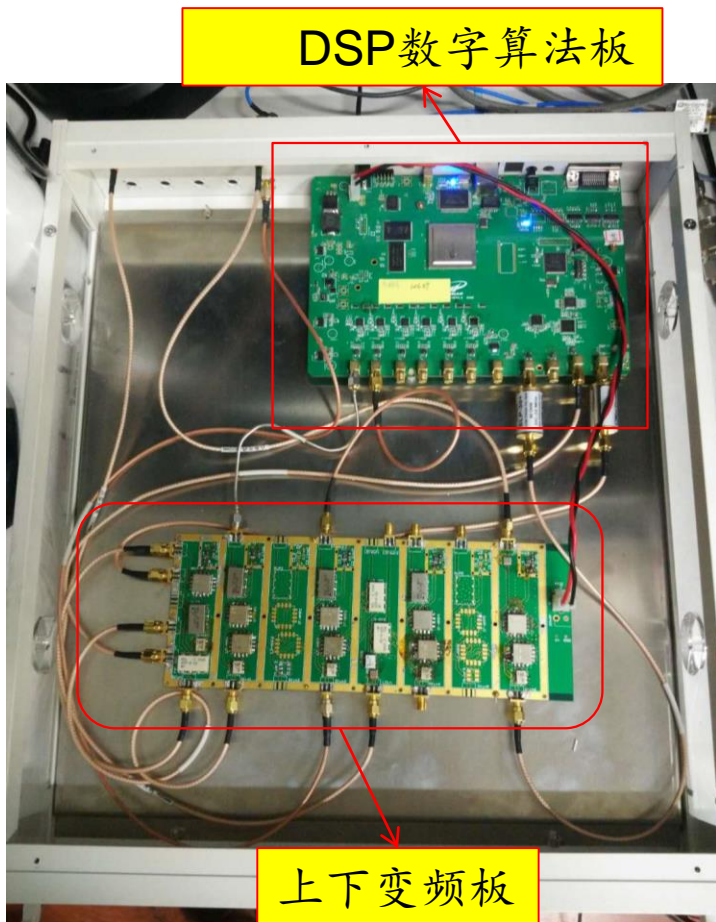
166.6MHz
铝腔

信号源

低电平
机箱



HEPS-TF低电平硬件系统



基于网口通信的2代低电平系统



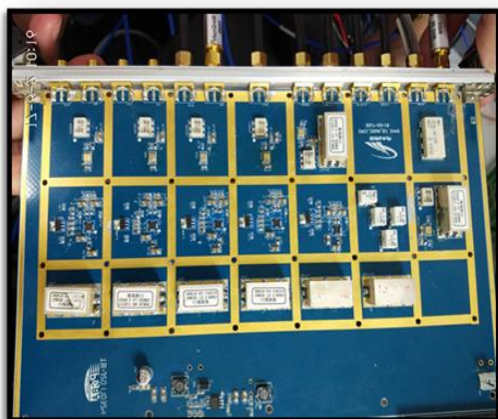
基于CPCI总线通信的3代低电平系统





HEPS-TF LLRF系统

上下变频板



DSP数字板



模拟鉴相及
慢速AD/DA板

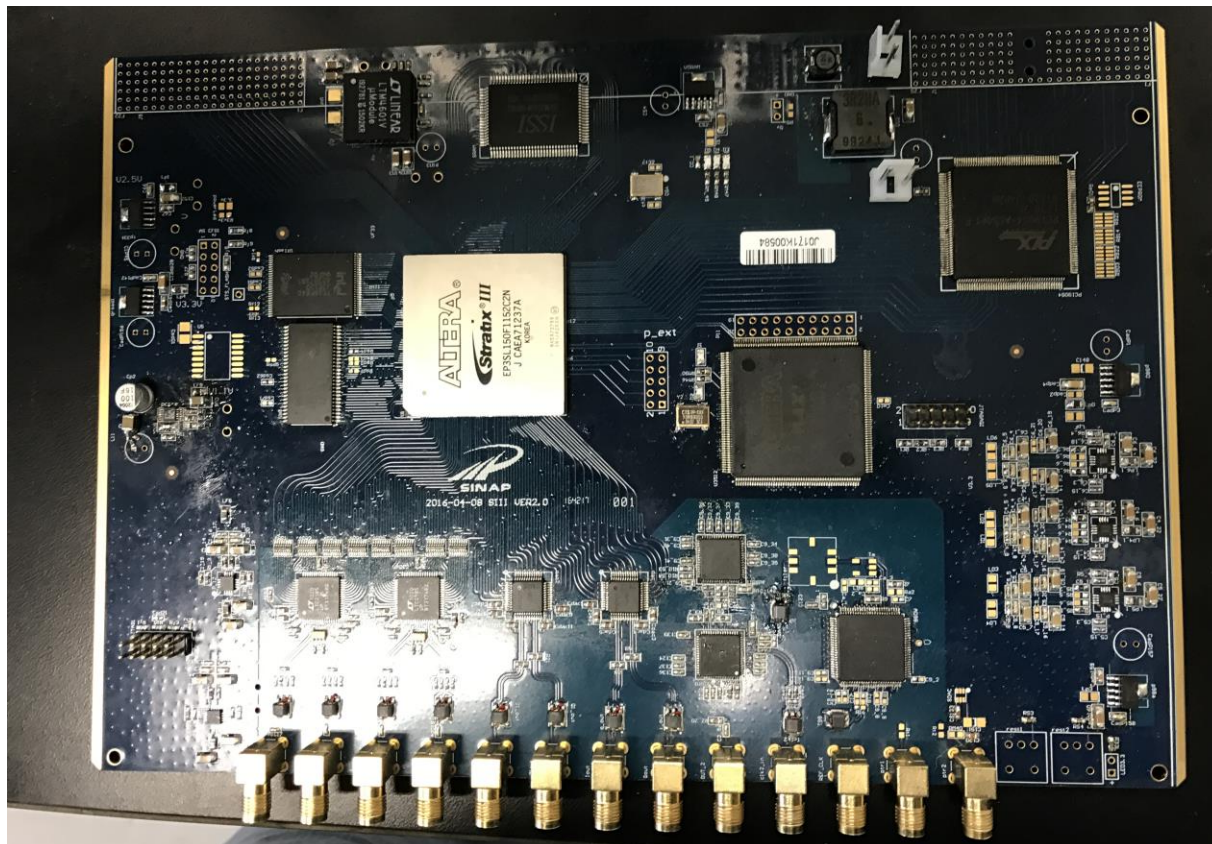


CPCI机箱

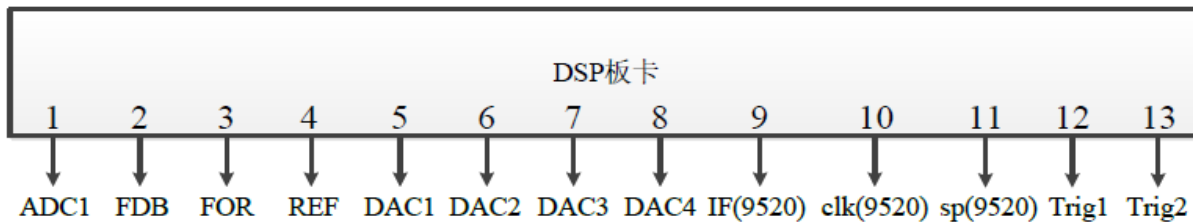




166.6MHz LLRF系统DSP板

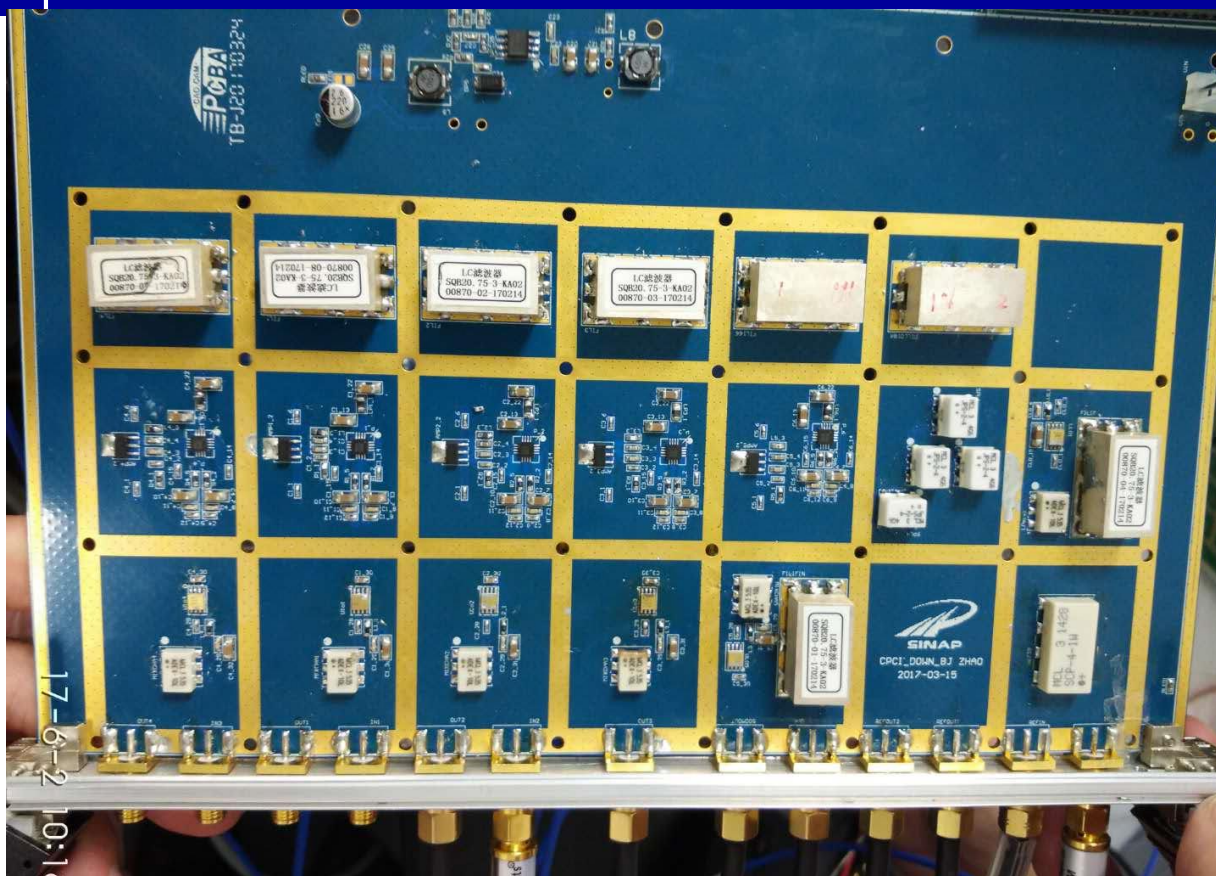


- 通道情况:
- ✓ 4路AD
 - ✓ 4路DA
 - ✓ 2路trig
 - ✓ 3路9520信号



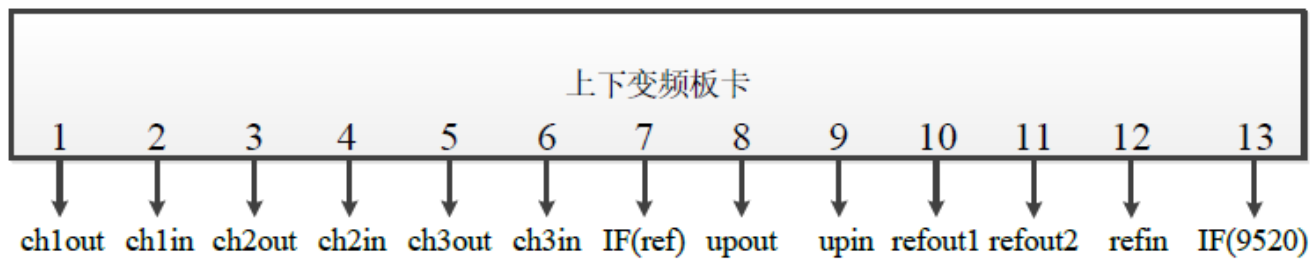


166.6MHz LLRF系统上下变频板



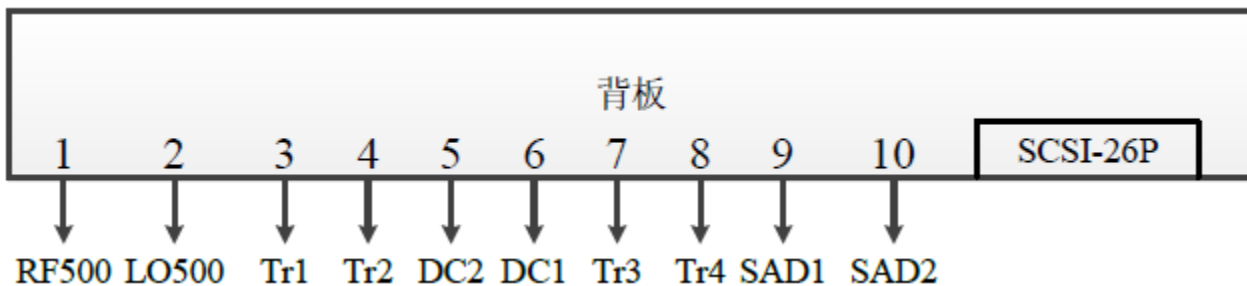
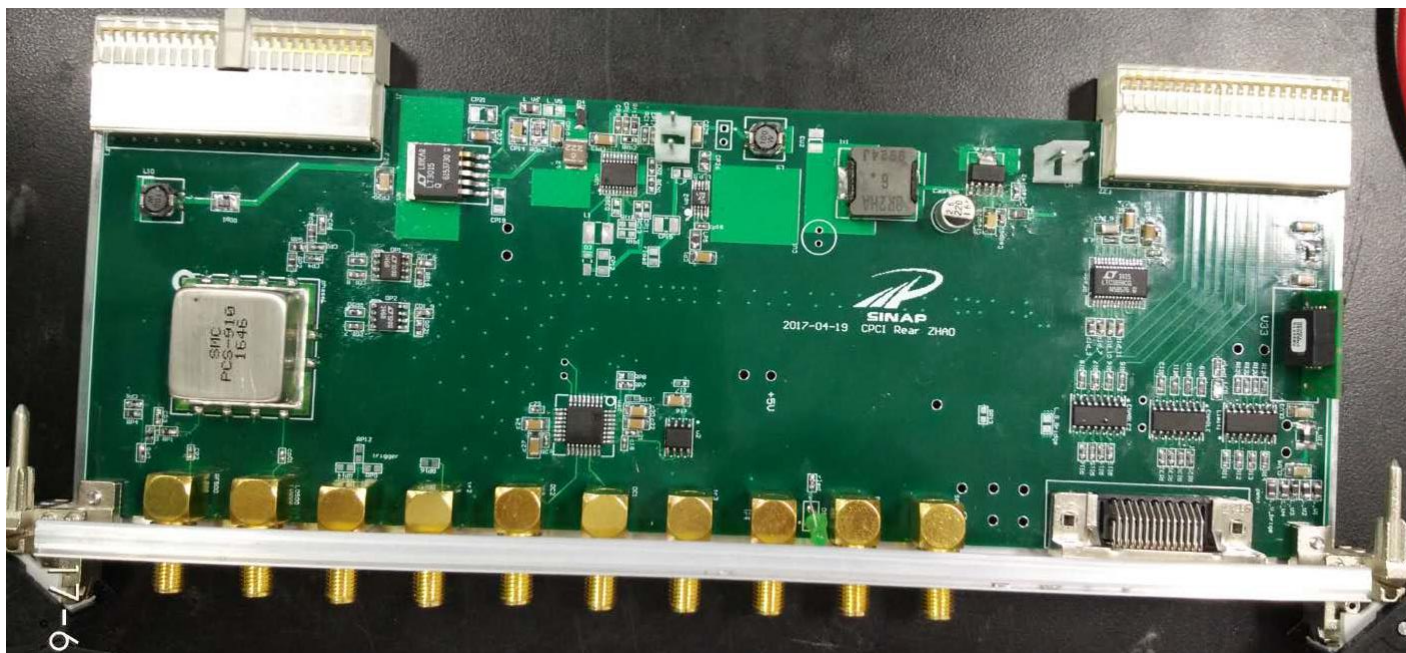
通道情况:

- ✓ 1路上变频
- ✓ 4路下变频 (含ref)
- ✓ 2路ref输出





166.6MHz LLRF系统后背板

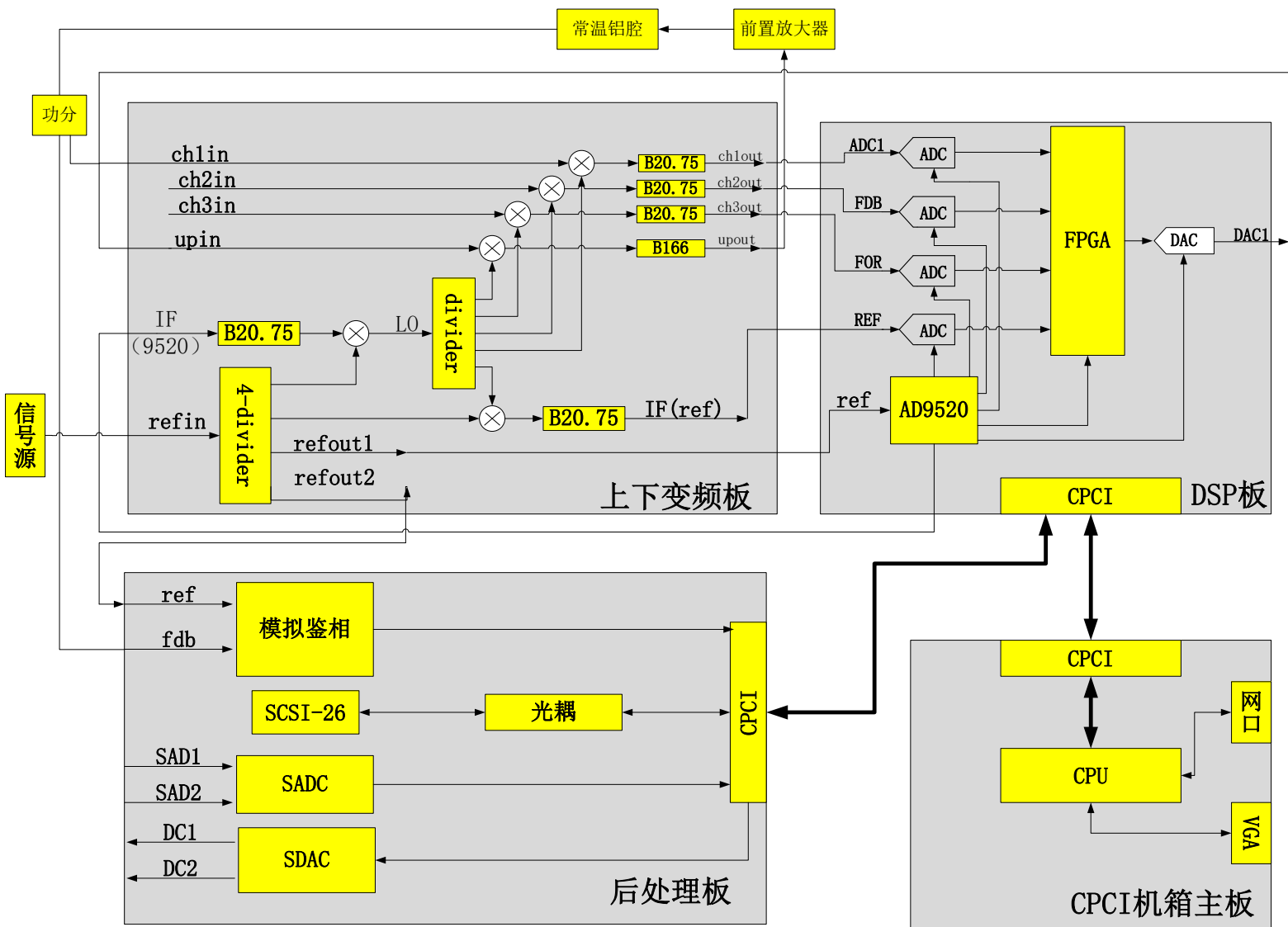


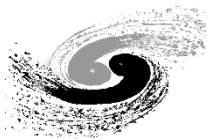
通道情况:

- ✓ 2射频鉴相
- ✓ 4路trig
- ✓ 2路慢DA
- ✓ 2路慢AD
- ✓ SCSI-26P电机驱动

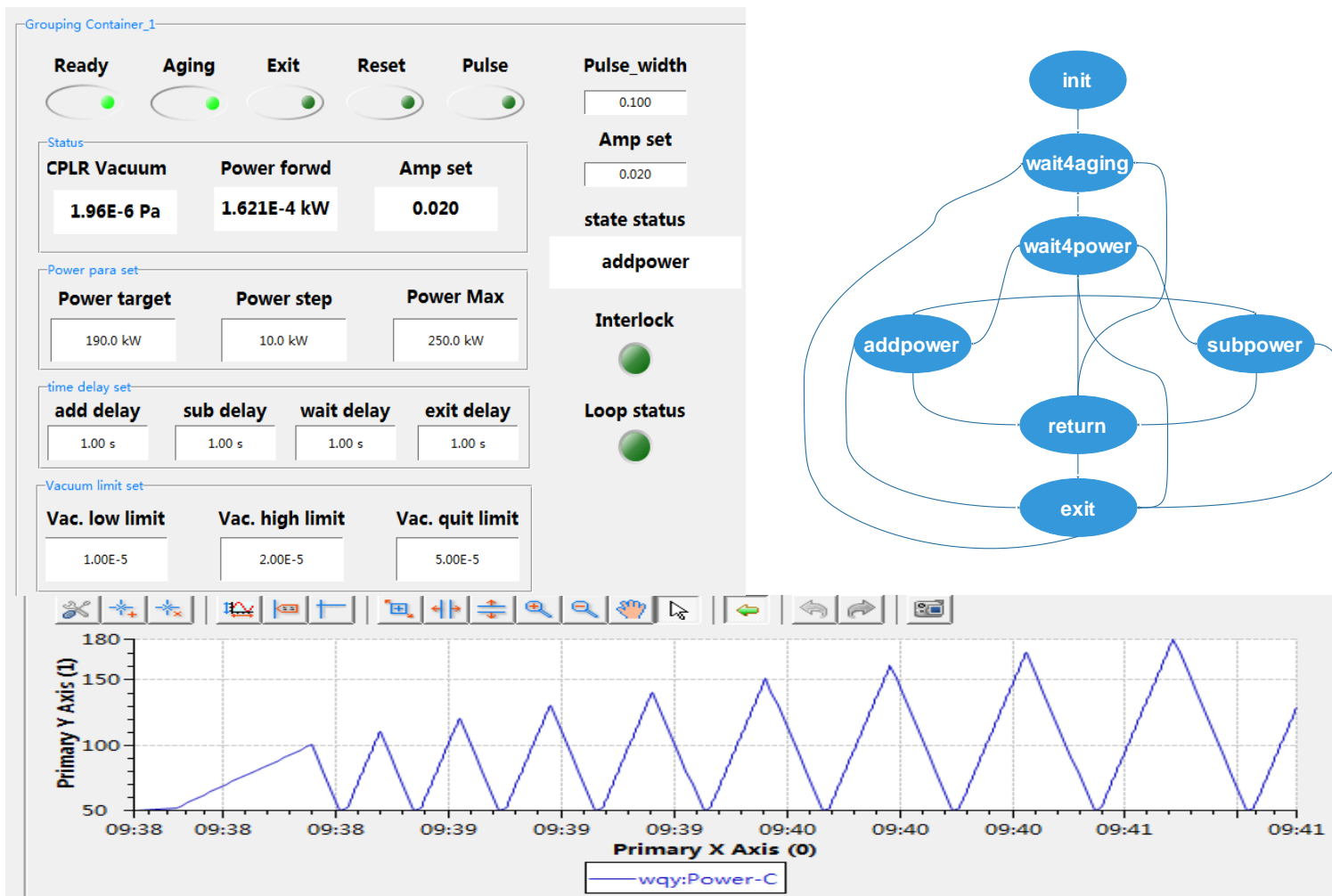


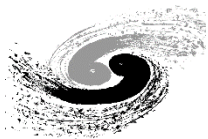
HEPS-TF LLRF系统原理框图



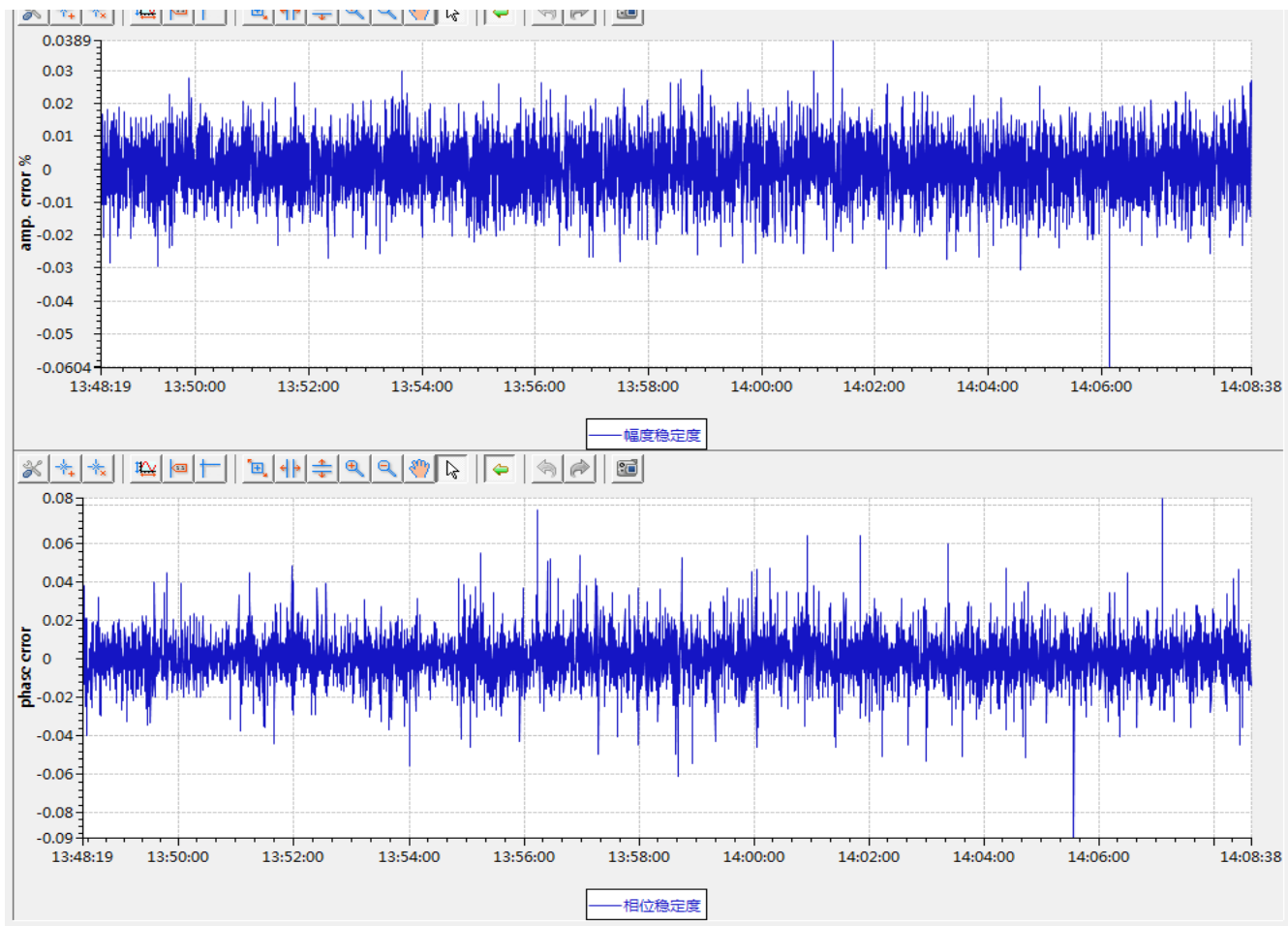


基于CSS的上层界面

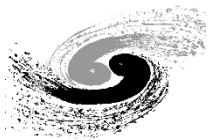




LLRF整机幅度相位稳定性



测试半小时稳定度： 幅度稳定性(峰峰值)： $< \pm 0.6\%$
相位稳定性(峰峰值)： $< \pm 0.09^\circ$



四、HEPS高频低电平系统展望

自研发低电平硬件平台：

基于网口通信数字低电平

基于ATCA总线通信数字低电平

功能开发：

基本腔场幅相控制环路

频率控制环路

安全联锁系统

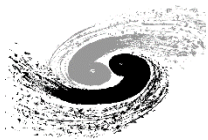
功率源幅相环路

噪声抑制环路

束流丢失诊断系统

高频自动智能开机系统

EPICS IOC应用

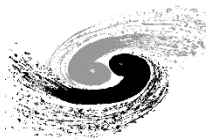


自研发低电平硬件平台

1. 基于网口通信数字低电平
2. 基于ATCA总线通信数字低电平

硬件设计内容：

- 射频电路设计
- 高速ADC、DAC电路设计
- 时钟分配电路设计
- FPGA及外围配置电路设计
- 网口通信、PCIe总线通信等电路设计实现
- 安全联锁与快保护电路设计
- PLC功能开发
- ○ ○ ○

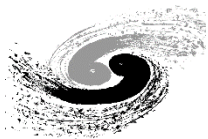


FPGA硬件编程功能开发

1. GDR模式和SEL模式
2. CW模式和PULSE模式
3. 幅相控制和I/Q矢量控制
4. PID控制和自适应控制

FPGA开发设计内容：

- SOPC及Niosii软核设计
- PID算法设计
- IQ、non-IQ采样，矢量旋转
- FIR、IIR滤波器设计
- cordic算法
- DDS、NCO设计
- 状态机设计



基于EPICS系统应用开发

基于EPICS系统

IOC应用：硬件驱动开发(C、C++)
DB数据库文件 (VDCT)

上层界面：CSS、EDM等

曲线绘制:StripTool、CSS

数据存储：Archiver, Mysql

状态控制：SNL、PyEpics

数据处理分析：PyEpics、Matlab

故障报警：Alarm Handler



谢谢大家!